

(19) BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES  
PATENTAMT

# Offenlegungsschrift

(11) DE 3937807 A1

(51) Int. Cl. 5;

H04L 29/06

G 06 F 13/00

DE 3937807 A1

- (21) Aktenzeichen: P 39 37 807.1  
(22) Anmeldetag: 14. 11. 89  
(43) Offenlegungstag: 23. 5. 90

(30) Innere Priorität: (32) (33) (31)

19.11.88 DE 38 39 148.1

(71) Anmelder:

Joh. Vaillant GmbH u. Co, 5630 Remscheid, DE

(74) Vertreter:

Heim, J., Dipl.-Ing., 5630 Remscheid

(72) Erfinder:

Manz, Dietmar, 5277 Marienheide, DE; Wertenbruch,  
Franz-Josef, 5466 Neustadt, DE

(54) Verfahren zum Übertragen von Daten zwischen zwei sendenden und empfangenden Stationen

Verfahren zum Übertragen von Daten zwischen zwei sendenden und empfangenden Stationen, insbesondere Mikroprozessoren, die über wenigstens zwei Leitungen miteinander verbunden sind. Neben einer Datenübertragungsleitung sind zwei Quittierleitungen und eine Startleitung vorhanden, und eine Bereitschaft zum Empfangen von Daten wird zunächst von der empfangenden Station durch Potentialänderung auf einer Quittungsleitung signalisiert, anschließend ist von der sendenden Station das erste Datenbit auf die Datenübertragungsleitung gelegt, und zugleich wird auf der Startleitung durch Potentialwechsel der Beginn des ersten Bits angezeigt, anschließend signalisiert die sendende Station mit einem Potentialwechsel auf der zweiten Quittungsleitung das Anliegen eines gültigen Datenbits, wonach die empfangende Station die Datenübertragungsleitung freigibt und das Datenbit von dieser Leitung liest, womit die Datenübertragung in der einen Richtung beendet ist, worauf die zunächst empfangende Station ihrerseits das zu sendende Datenbit auf die Datenübertragungsleitung legt und mit einem erneuten Potentialwechsel auf der erstgenannten Quittungsleitung signalisiert. Das zuerst gesandte Datenbit wurde empfangen, und das in der Gegenrichtung zu sendende gültige Datenbit liegt auf der Datenleitung an, worauf die jetzt empfangende Station die Datenleitung freigibt und das Datenbit von der Datenleitung liest, und schließlich signalisiert die jetzt empfangende Station mit einem Potentialwechsel auf ...

DE 3937807 A1

## Beschreibung

Die vorliegende Erfindung bezieht sich auf ein Verfahren zum Übertragen von Daten zwischen zwei sendenden und empfangenden Stationen, insbesondere Mikroprozessoren, gemäß dem Oberbegriff der unabhängigen Patentansprüche.

Es ist bekannt, zwischen zwei Mikroprozessoren Daten zu übertragen. Hierzu sind mindestens drei Verbindungsleitungen zwischen beiden Mikroprozessoren vorgesehen, und zwar neben einer gemeinsamen Masseleitung eine Datensendeleitung des einen Mikroprozessors, die in einen Datenempfangsanschluß des anderen Mikroprozessors mündet, und eine weitere Datensendeleitung, die vom Geberanschluß des zweiten Mikroprozessors ausgeht und zu einem Empfangsanschluß am ersten Mikroprozessor führt. Bei dieser Art der Verschaltung ergibt sich der Nachteil, daß in jedem der beiden Mikroprozessoren ein Baustein für eine asynchrone Sende- und Empfangsweise vorgesehen sein muß. Ist ein solcher Baustein zwar vorhanden, aber für andere Benutzungshandlungen belegt, fehlt für das Kommunizieren mit einem weiteren Mikroprozessor ein solcher Baustein, der aber nicht zusätzlich integrierbar ist. Ist er bei dem Mikroprozessor nicht vorhanden, müßte er zusätzlich noch beschafft und beschaltet werden.

Der vorliegenden Erfindung liegt damit die Aufgabe zugrunde, unabhängig vom Vorhandensein eines solchen Bausteins eine sowohl serielle wie auch parallele Übertragung von Daten in beiden Richtungen zu ermöglichen.

Die Lösung der Aufgabe besteht erfindungsgemäß in den kennzeichnenden Teilen der beiden unabhängigen Patentansprüche.

Zwei Ausführungsbeispiele der Erfindung werden anhand der Figuren der Zeichnung in der folgenden Beschreibung näher erläutert.

Es zeigen:

Fig. 1 ein erstes Diagramm für eine serielle Datenübertragung,

Fig. 2 ein zweites Diagramm für eine parallele Datenübertragung,

Fig. 3 das Blockschaltbild, gehörend zur Datenübertragung nach Fig. 1,

Fig. 4 das Blockschaltbild, gehörend zur Datenübertragung nach Fig. 2 und

Fig. 5 die Schaltung der Sende- und Empfangsteile in beiden Mikroprozessoren.

Ausgehend von der Fig. 3 ist ein erster Mikroprozessor 1 vorhanden, der über ein Leitungsbündel 2 mit einem zweiten Mikroprozessor 3 Daten austauschen soll. Das Leitungsbündel besteht aus einer ersten Leitung 4, die beide Mikroprozessoren miteinander verbindet und an Masse 5 gelegt ist. Eine zweite Leitung 6 ist die eigentliche Seriendaten-Übertragungsleitung. Weiterhin sind eine erste Quittungsleitung 7, eine zweite Quittungsleitung 8 und eine Startleitung 9 vorhanden.

Das Verfahren der Datenübertragung gemäß Fig. 3 wird nun anhand des Diagramms der Fig. 1 näher erläutert, das die Spannungszustände der einzelnen Leitungen in Abhängigkeit von der Zeit wiedergibt. Es gilt generell, daß nach einer Übertragung von Daten vom Mikrocomputer 1 auf den Mikrocomputer 3 der letztere seinerseits Daten an den erstgenannten überträgt und umgekehrt. Die Zustände auf der DATA-Leitung 6 sind durch zwei Arten von Schraffuren festgelegt, wobei eine Schraffur von links oben nach rechts unten eine Daten-

sendung vom Mikrocomputer 3 bedeutet, während eine Schraffur von links unten nach rechts oben gültige Daten gesendet vom Mikrocomputer 1 zum Inhalt hat. Zu Beginn der Betrachtungsweise, das heißt in Zeitpunkt  $t_0$ , bedeutet das, daß gerade auf der DATA-Leitung 6 Daten vom Mikrocomputer 3 gültig sind beziehungsweise gesendet werden beziehungsweise gesendet worden sind. Das Potential der Quittungsleitung Q1(7) befindet sich auf hohem Potential, während das Potential der Quittungsleitung Q2(8) sich sowohl auf hohem wie auch auf niedrigem Potential befinden kann, und zwar je nach dem, ob dem Zeitpunkt  $t_0$  das Einschalten der Datenverbindung oder das anderweitige Senden irgendwelcher Daten vorausging. Das Potential der Startleitung BS(9) befindet sich auf hohem Potential. Zum Zeitpunkt  $t_1$  springt das Potential auf der Quittungsleitung Q2 auf hohes Potential. Dieses Wechseln auf hohes Potential beziehungsweise Bleiben auf hohem Potential signalisiert, daß der Mikrocomputer 3 nunmehr empfangsbereit ist. Zum Zeitpunkt  $t_2$  ist der Mikrocomputer 1 nunmehr an der Reihe, seinerseits Daten an den Mikrocomputer 3 zu übertragen. Dieses Senden von Daten des Mikrocomputers 1 an den Mikrocomputer 3 beginnt in seiner Vorbereitung zum Zeitpunkt  $t_2$ , und zwar damit, daß der Mikrocomputer 1 ein Datenbild auf die DATA-Leitung (6) legt, und gleichzeitig wird beim Übertragen des ersten Bits eines Bytes vom Mikrocomputer 1 die Startleitung BS auf niedriges Potential gelegt. Anschließend signalisiert der Mikrocomputer 1 zum Zeitpunkt  $t_3$  durch Herablegen des Potentials auf der Quittungsleitung Q1 das Vorhandensein eines gültigen Datenbits. Hierauf gibt der Mikrocomputer 3 die DATA-Leitung 6 frei, was zum Zeitpunkt  $t_4$  geschieht. Dies bedeutet, daß zwischen den Zeitpunkten  $t_2$  und  $t_4$  auf der DATA-Leitung Daten von beiden Mikrocomputern anliegen, was unkritisch ist, da in dieser Zeitspanne keine Daten ausgewertet werden. Nach der Freigabe liest der Mikrocomputer 3 das erste Datenbit von der DATA-Leitung. Zum Zeitpunkt  $t_5$  legt der nunmehr sendende Mikrocomputer 3 seinerseits sein zu sendendes Datenbit auf die DATA-Leitung. Die Auswertung des gerade gesendeten ersten Bits des Mikrocomputers 1 ist irgendwann in der Zeitspanne zwischen den Punkten  $t_4$  und  $t_5$  beendet. Es ist ersichtlich, daß im Zeitraum zwischen den Zeitpunkten  $t_4$  und  $t_5$  nur ein Datenbit vom gerade gesendet habenden Mikrocomputer 1 auf der DATA-Leitung vorhanden ist. Nachdem ab dem Zeitpunkt  $t_5$  der Mikrocomputer 3 am Senden ist, liegen bis zu einem weiteren Zeitpunkt  $t_6$  wieder Datenbits von beiden Mikrocomputern auf der DATA-Leitung, ohne daß hier eine Auswertung stattfindet. Zwischen den Zeitpunkten  $t_5$  und  $t_6$  liegt der Zeitpunkt  $t_7$ , zudem auf der Quittungsleitung Q2(8) das High-Potential auf Low-Potential wechselt, weil der Mikrocomputer 3 damit signalisiert, daß das von dem Mikrocomputer 1 gerade gesendete Datenbit einwandfrei empfangen wurde und was gleichzeitig bedeutet, daß das jetzt vom Mikrocomputer 3 zu sendende gültige DATA-Bit auf der DATA-Leitung liegt. Im Zeitpunkt  $t_6$  nimmt der Mikrocomputer 1 sein gerade gesendetes Datenbit von der DATA-Leitung weg, so daß ab dem Zeitpunkt  $t_6$  nur das zu sendende Datenbit vom Mikrocomputer 3 auf der DATA-Leitung liegt. Dieses Datenbit wird bis zum Zeitpunkt  $t_8$  vom Mikrocomputer 1 gelesen beziehungsweise ausgewertet. Ab dem Zeitpunkt  $t_8$  springt das Potential auf der Quittungsleitung Q1(7) wieder auf hohes Potential. Mit diesem Potentialwechsel signalisiert der Mikrocomputer 1, daß er das zuletzt gesendete Daten-

bit vom Mikrocomputer 3 ordnungsgemäß empfangen hat. Als nächstes springt im Zeitpunkt  $t_0$  das Potential der Quittungsleitung  $Q_2(8)$  wieder auf hohes Potential. Dies entspricht dem Zeitpunkt  $t_1$ , so daß sich ab hier die Vorgänge wiederholen, bis ein gesamtes Byte von beiden Mikrocomputern bitweise nacheinander übertragen wurde beziehungsweise bis mehrere Bytes im gleichen System von beiden Mikrocomputern ausgetauscht wurden.

Nach Ablauf der Übertragung des ersten Bits eines Bytes springt zum Zeitpunkt  $t_{10}$  das Potential auf der Startleitung  $BS(9)$  wieder auf hohes Potential. Der Zeitpunkt  $t_{10}$  entspricht dem Zeitpunkt  $t_2$ , was zur Folge hat, daß auf der Datenleitung 6 ab diesem Moment wieder ein Bit beider Mikroprozessoren anliegt, aber nicht ausgewertet wird.

Es leuchtet ein, daß diese eben beschriebene serielle Übertragung von Bit nach Bit relativ lange dauert. Will man diese Zeit abkürzen, ist es vorteilhaft, nicht nur eine DATA-Leitung, sondern 8 DATA-Leitungen – in der Fig. 2 mit Data 0 bis 7 bezeichnet – vorzusehen, damit kann auf jeder der einzelnen DATA-Leitungen zeitlich parallel je ein Bit übertragen werden, das heißt, mit einem Übertragungsvorgang in der Zeit gemäß Fig. 1 kann ein Byte übertragen werden. Die Potentiale der Quittungsleitungen  $Q_1$  und  $Q_2$  sind entsprechend den zeitlichen Vorgängen nach Fig. 1, die Startleitung  $BS(9)$  kann hierbei entfallen.

Aus der Fig. 4 geht die Verschaltung der beiden Mikroprozessoren 1 und 3 hervor und das Leitungsbündel der DATA-Leitungen 0 bis 7. Weiterhin ist ersichtlich, daß die beiden Quittungsleitungen  $Q_1$  und  $Q_2$  und die gemeinsame Masseleitung 4 vorhanden sind.

Aus der Fig. 5 ist die Verschaltung der Anschlüsse der DATA-Leitung(en) der beiden Mikroprozessoren 1 und 3 ersichtlich. Beim Ausführungsbeispiel gemäß Fig. 3 ist die Verschaltung in beiden Mikroprozessoren nur einmal vorhanden, beim Ausführungsbeispiel gemäß Fig. 4 jeweils für eine der DATA-Leitungen 0 bis 7. Die Sendebeziehungsweise Empfangseingänge 10 und 11 sind demgemäß in jedem der beiden Mikroprozessoren 1 oder 3 einfach oder mehrfach vorhanden. Von einer positiven Gleichspannungsquelle 12 führt eine Leitung 13 zu einem Widerstand 14 und von dort zu einem Verzweigungspunkt 15, an den die DATA-Leitung 6 angeschlossen ist. An den Verzweigungspunkt 5 ist weiterhin eine Leitung 16 angeschlossen, die zu einem Verstärker 17 führt, von dem eine Ausgangsleitung 18 zum Mikroprozessor abgeht. Aus dem Mikroprozessor kommt eine Leitung 19, die zum Basisanschluß 20 eines Transistors 21 führt, dessen Emitter 22 mit Masse 5 verbunden ist. Der Kollektor 23 des Transistors 21 ist über eine Leitung 24 mit dem Verzweigungspunkt 15 verbunden.

Die Verschaltung des Eingangsteils 11 des anderen Mikrocomputers ist analog.

Die Funktion der Schaltung gemäß Fig. 5 ist folgende:

Im Ruhezustand sind beide Transistoren gesperrt, das heißt, die Verzweigungspunkte 15 innerhalb der Sende- und Empfangseingänge 10 und 11 liegen auf dem Potential des Punktes 12, das heißt positiver Betriebsspannung. Zum Empfangen einer gesendeten Bitfolge muß der Transistor 21 des empfangenden Mikroprozessors hochohmig sein und bleiben. Der Transistor 21 des sendenden beziehungsweise Daten abgebenden Mikroprozessors wird jeweils im Takt der Impulsfolge eines Bits durchgeschaltet oder gesperrt. Wird der Transistor 21 des empfangenden Mikroprozessors leitend, ist keine

Dateneinlesung in dem empfangenden Mikroprozessors möglich.

Abschließend soll noch darauf hingewiesen werden, daß das erfundungsgemäße Verfahren nicht nur zur Datenkommunikierung zwischen zwei Mikroprozessoren verwendet werden kann, eine Anwendung des Verfahrens ist gleichermaßen möglich bei Rechnern aller Art und bei sonstigen Stationen, die sowohl senden wie auch empfangen können, also beispielsweise bei einer Kommunikation zwischen einem Terminal und einem Rechner oder Terminals untereinander oder Rechnern untereinander.

#### Patentansprüche

1. Verfahren zum Übertragen von Daten zwischen zwei sendenden und empfangenden Stationen, insbesondere Mikroprozessoren, die über wenigstens zwei Leitungen miteinander verbunden sind, dadurch gekennzeichnet, daß neben einer Datenübertragungsleitung zwei Quittierleitungen und eine Startleitung vorhanden sind und daß zunächst von der empfangenden Station durch Potentialänderung auf einer Quittungsleitung eine Bereitschaft zum Empfangen von Daten signalisiert wird, daß anschließend von der sendenden Station das erste Datenbit auf die Datenübertragungsleitung gelegt ist und zugleich auf der Startleitung durch Potentialwechsel der Beginn des ersten Bits angezeigt wird, daß anschließend die sendende Station mit einem Potentialwechsel auf der zweiten Quittungsleitung das Anliegen eines gültigen Datenbits signalisiert wird, wonach die empfangende Station die Datenübertragungsleitung freigibt und das Datenbit von dieser Leitung liest, womit die Datenübertragung in der einen Richtung beendet ist, worauf die zunächst empfangende Station ihrerseits das zu sendende Datenbit auf die Datenübertragungsleitung legt und mit einem erneuten Potentialwechsel auf der erstgenannten Quittungsleitung signalisiert, daß das zuerst gesendete Datenbit empfangen wurde und daß das in der Gegenrichtung zu sendende gültige Datenbit auf der Datenleitung anliegt, worauf die jetzt empfangende Station die Datenleitung freigibt und das Datenbit von der Datenleitung liest, und daß schließlich die jetzt empfangende Station mit einem Potentialwechsel auf der zweitgenannten Quittungsleitung signalisiert, daß die Daten von der zuletzt sendenden Station akzeptiert wurden.

2. Verfahren zum Übertragen von Daten zwischen zwei sendenden und empfangenden Stationen, insbesondere Mikroprozessoren, die wenigstens über zwei Leitungen miteinander verbunden sind, dadurch gekennzeichnet, daß neben mehreren Datenübertragungsleitungen zwei Quittungsleitungen vorhanden sind und daß zunächst von der empfangenden Station durch Potentialänderung auf einer Quittungsleitung eine Bereitschaft zum Empfangen von Daten signalisiert wird, daß anschließend von der sendenden Station das erste Datenwort auf die Datenübertragungsleitungen gelegt wird, daß anschließend die sendende Station mit einem Potentialwechsel auf der zweiten Quittungsleitung das Anliegen eines gültigen Datenwortes signalisiert, wonach die empfangende Station die Datenübertragungsleitungen freigibt und das Datenwort von diesen Leitungen liest, womit die Datenübertra-

gung in der einen Richtung beendet ist, worauf die zunächst empfangende Station ihrerseits das zu sendende Datenwort auf die Datenübertragungsleitungen legt und mit einem erneuten Potentialwechsel auf der erstgenannten Quittungsleitung signalisiert, daß das zuerst gesandte Datenwort empfangen wurde und daß das in der Gegenrichtung zu sendende gültige Datenwort auf den Datenleitungen anliegt, worauf die jetzt empfangende Station die Datenleitungen freigibt und das Datenwort von den Datenleitungen liest, und daß schließlich die jetzt empfangende Station mit einem Potentialwechsel auf der zweitgenannten Quittungsleitung signalisiert, daß die Daten von der zuletzt sendenden Station akzeptiert wurden.

15

Hierzu 3 Seite(n) Zeichnungen

20

25

30

35

40

45

50

55

60

65

**- Leerseite -**

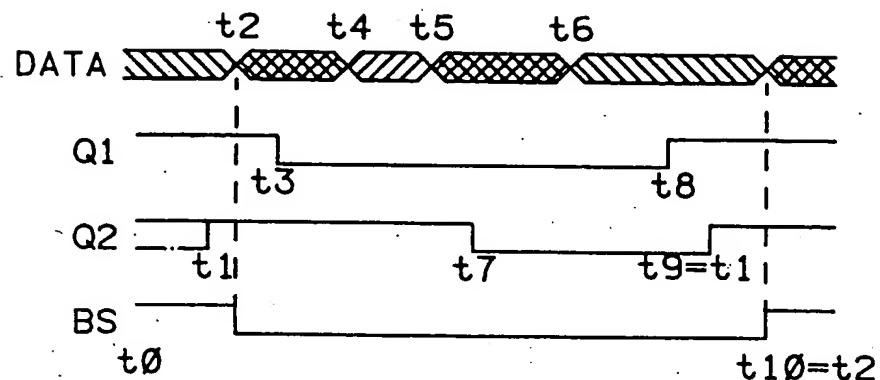


Fig. 1

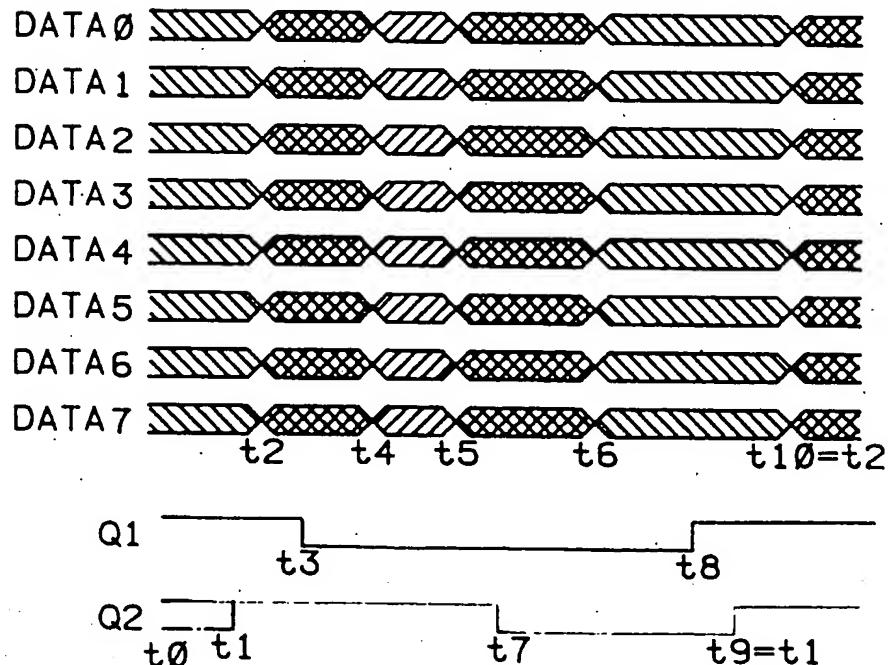


Fig. 2

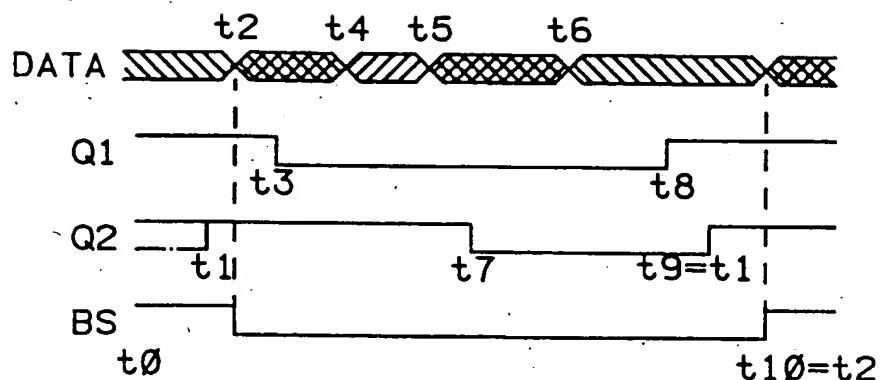


Fig. 1

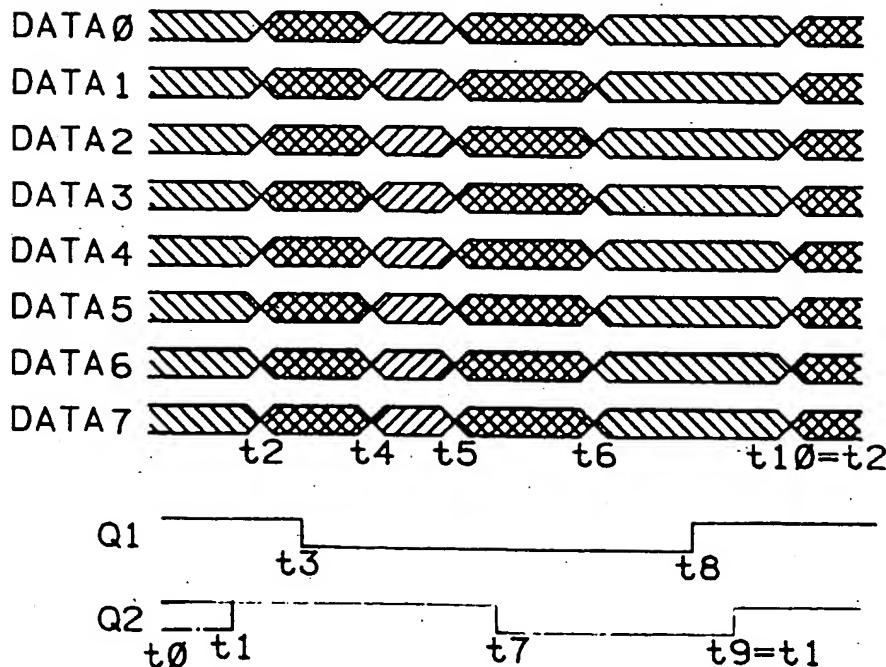


Fig. 2

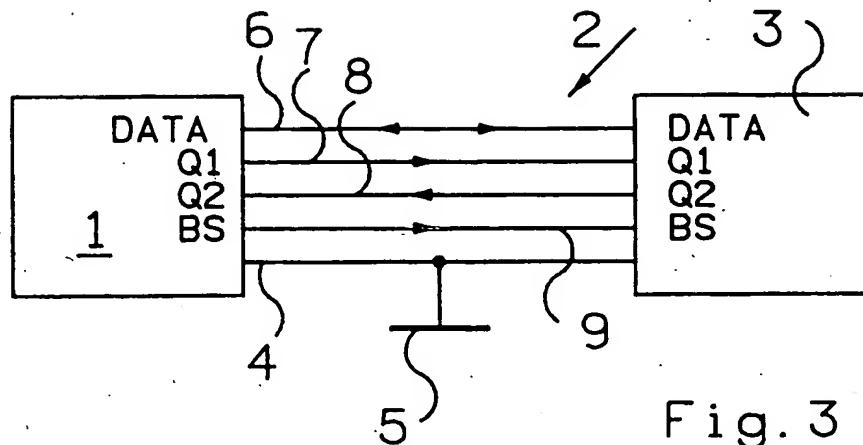
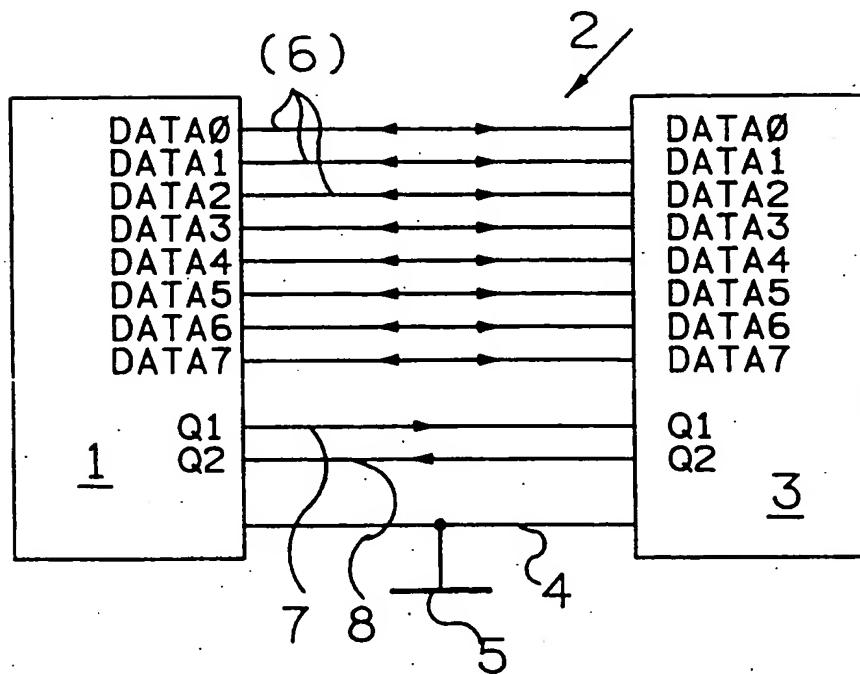


Fig. 3

Fig. 4



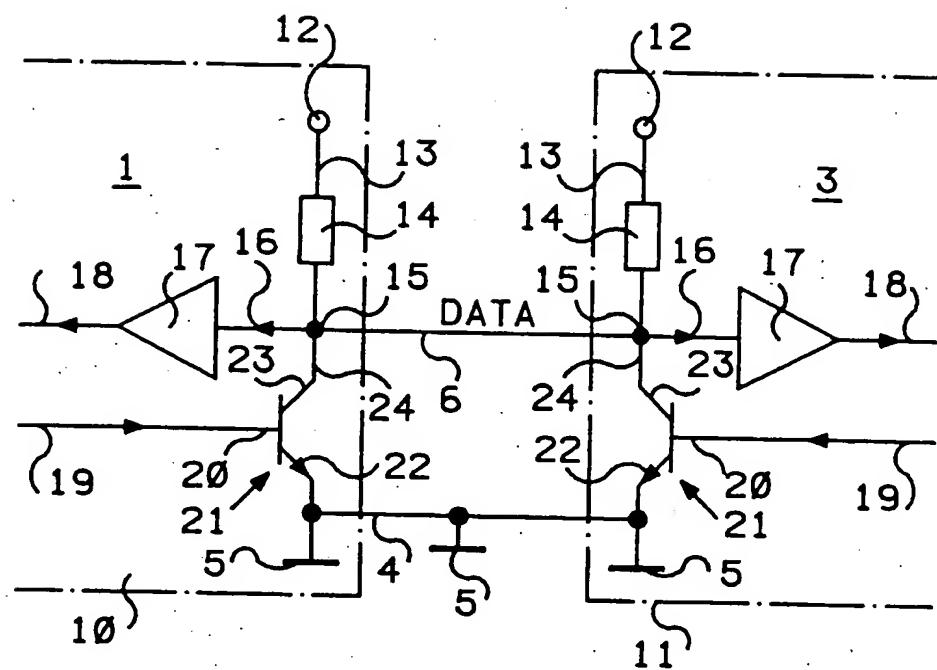


Fig. 5